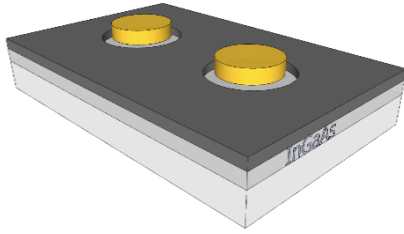


Technologie métal-oxyde-semiconducteur (MOS) à base de matériau III-V

Mots-clefs : Matériaux III-V, Passivation, MOS, Surface, Interface isolant/semiconducteur, InGaAs



Porteurs du projet: Hassan Maher (LN2), Abdelatif Jaouad (LN2), Sylvain Bollaert (IEMN)

Étudiant impliqué : Mohamed Ridaoui, PhD (2014,-), Ahmed Chakroun (Post-doc 03/2015)



Autres partenaires académiques : Nicolas Wichmann (IEMN), Xavier Wallaert (IEMN)

Période du projet : 01/2014 – en cours

Description du projet et contexte: le grand besoin dans le marché des semi-conducteurs de composants performants offre une grande opportunité aux matériaux III-V. En effet, les propriétés singulières de ces matériaux, notamment leurs moyennes/larges bandes interdites et leurs fortes mobilités électroniques, les distinguent des autres filières conventionnelles telles que le Si ou le Ge. En particulier, l'InGaAs qui présente une très forte mobilité électronique de l'ordre de $10^4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, est un candidat très intéressant pour les applications d'hyperfréquence. Ces performances, inégalées sur le plan théorique, sont limitées expérimentalement par plusieurs facteurs tels que la non-maturité de la technologie III-V, la difficulté d'élaboration de couches épitaxiales avec une faible densité de défauts et la mauvaise qualité de l'interface isolant/InGaAs. En effet, à cause de la nature complexe de ce matériau et de la mauvaise qualité de son oxyde natif, il est difficile de réaliser une interface isolant/InGaAs avec une faible densité d'états de surface (D_{it}). Cette forte D_{it} détériore considérablement les performances des dispositifs à base de ces matériaux et peut induire l'ancrage du niveau de Fermi (E_F) qui nuit fortement au fonctionnement du composant.

Le but principal de ce projet est l'élaboration et l'optimisation de procédés de passivation de la surface de l'InGaAs afin de neutraliser ou minimiser les effets parasite présents au niveau de l'interface diélectrique/semi-conducteur. Ceci permettra de lever l'un des verrous majeurs de la technologie MOS sur ce matériau et d'améliorer les performances des dispositifs micro- et optoélectroniques. Le but ultime de ce projet est la réalisation de transistors MOS-HEMT et MOS-FET nanométriques à haute fréquence de coupure et à haut rendement énergétique.

Résultats remarquables et publications associées:

Dans le cadre de ce projet, nous avons effectué plusieurs tests en utilisant différents types de matériaux et de préparation de surface. Les caractéristiques de capacité-tension (C-V) mesurées sur ces échantillons montrent un fort ancrage du niveau de Fermi avec une capacité quasi-constante (Fig. 1). Après un recuit thermique à 350°C , la capacité MOS montre une très bonne modulation du potentiel de surface avec les trois régimes caractéristiques d'accumulation, de déplétion et d'inversion bien distinct (Fig. 1). En utilisant ce procédé de passivation, nous avons réalisé une première génération de transistors MOSFETs sur InGaAs (Fig. 2). Ces transistors montrent relativement de bonnes performances avec une excellente

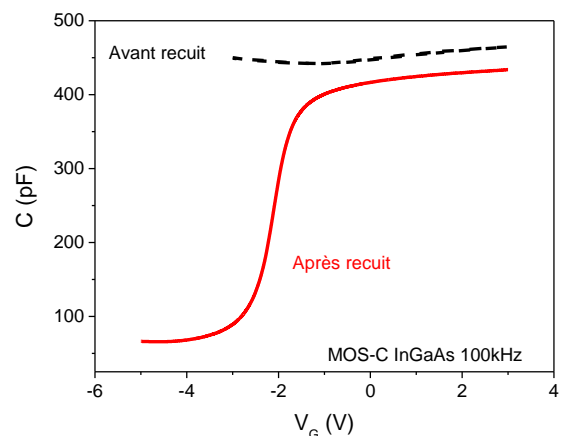


Fig. 1 – Caractéristique C-V obtenue sur des structures MOS-InGaAs

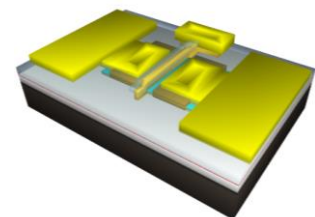


Fig. 2 – Schématique d'un MOSFET

modulation du courant dans le canal du transistor (Fig. 3). Un courant I_{DS} maximal de 40 mA à $V_{GS} = +3$ V et une tension de pincement autour de -5 V ont été mesurés. Une deuxième génération de transistors MOSFETs à base de InGaAs est en cours de fabrication.

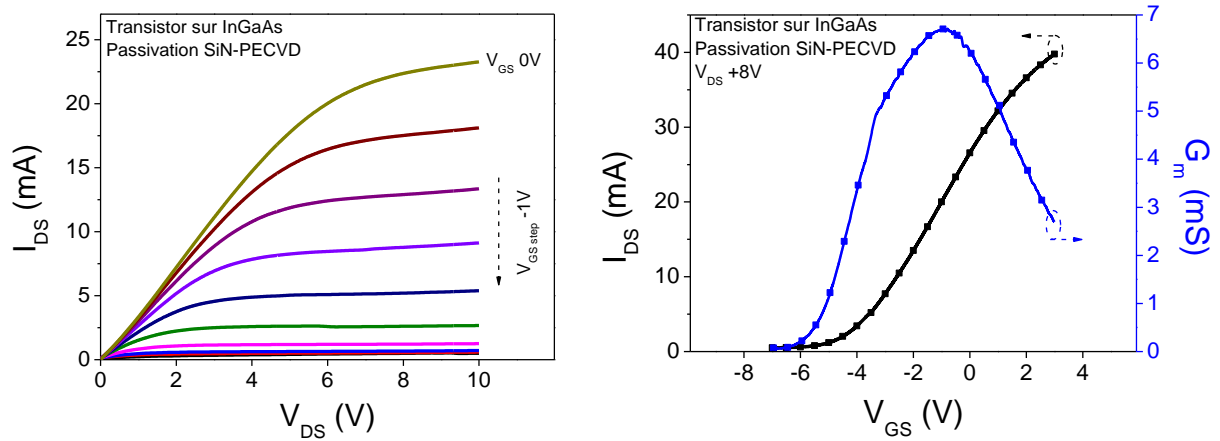


Fig. 3 – Caractérisations électriques obtenues sur la première génération de transistors MOSFETs sur InGaAs

Autre faits saillants :

- Étude de l'effet du prétraitement chimique de la surface de l'InGaAs sur les propriétés électroniques de l'interface $Si_xN_y/InGaAs$.
- Réalisation d'une première génération de transistors MOS-III-V en utilisant la PECVD comme technique de dépôt du diélectrique.

Financement :

- Subvention FQRNT (Québec)