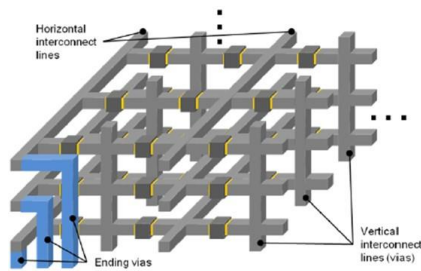


# Fabrication de mémoire résistive complémentaire sur circuit CMOS

**Mots-clefs :** RRAM, Nanodamascène, Configuration planaire



Structure 3D idéale de matrices CRS pour couplage avec circuit CMOS.

**Porteurs du projet:** Dominique Drouin (LN2), Abdelkader Souifi (INL), Andreas Ruediger (INRS-EMT), Serge Ecoffey (LN2)

**Étudiant impliqué :** Marina Labalette (LN2/INL), Christian Nauenheim, Lucas Valverde

**Partenaire industriel:** STMicroelectronics

**Autres partenaires académiques :** INRS-EMT, INL

**Période du projet :** 2013 – en cours

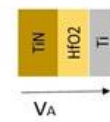


## Description du projet et contexte:

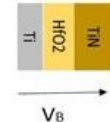
Face aux besoins actuels de capacité de stockage d'information, le développement d'une mémoire rapide, non volatile, fiable et de haute densité d'intégration devient une nécessité. Dans cette optique la technologie mémoire RRAM, Resistive Random Access Memory, se place en candidate idéale grâce à sa facilité de fabrication à faible coût et compatible back end of line (BEOL). Malgré tout, son application reste freinée par les sérieux problèmes de courants parasites qui apparaissent lors de l'agencement des RRAM en matrice mémoire haute densité. La solution est alors d'adopter une architecture 1T/1R (association de  $n$  transistors pour  $n$  points mémoires) ou bien de remplacer une RRAM par une CRS Complementary Resistive Switching. La première solution est à écarter car doublant quasiment la taille d'un point mémoire, tandis que la CRS permet l'incorporation intrinsèque d'une logique binaire pour chaque point mémoire sans en augmenter sa surface d'opération.

Notre innovation est de proposer la conception, réalisation et caractérisation de dispositifs CRS de dimensions nanométriques et planaires par le procédé de fabrication versatile *nano-damascène*. Nous nous affranchissons alors de la contrainte d'une limite de nombre de couches superposables et proposons d'ores et déjà une approche d'architecture 3D pour connexion BEOL sur puce CMOS.

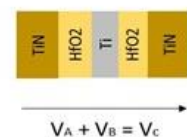
### BRS A planaire



### BRS B planaire



### CRS planaire

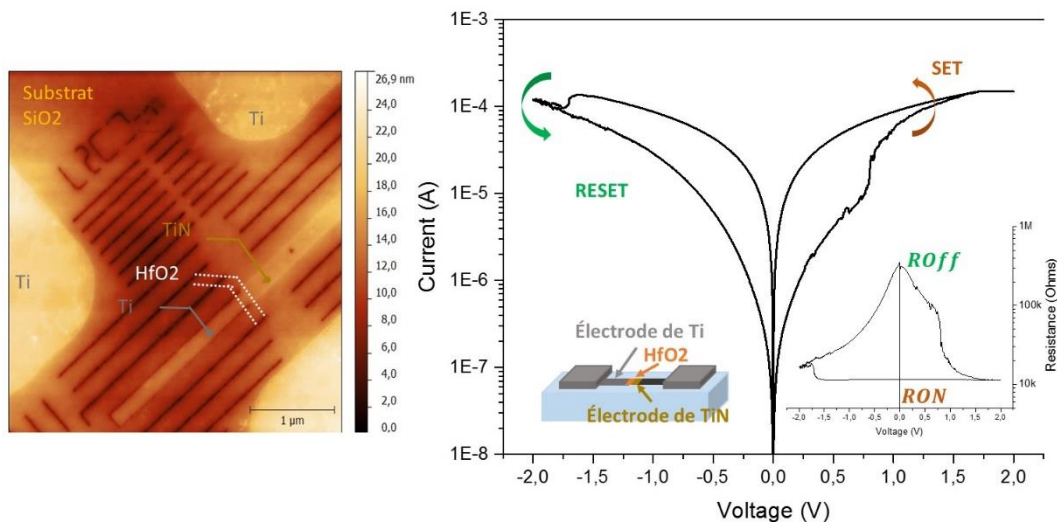


Principe d'une CRS = agencement de 2 RRAM dos à dos

## Résultats remarquables et publications associées:

Dans un premier temps, nous nous sommes assurés de la capacité de nos matériaux et de nos méthodes de dépôt à donner un élément résistif commutable. Pour cela nous avons fabriqué et caractérisé avec succès des RRAM d'empilement Ti/HfO<sub>2</sub>/Pt (TiN ou W), de surfaces de jonctions allant de 2 μm<sup>2</sup> à 10 μm<sup>2</sup> et d'épaisseurs d'oxydes allant de 5 à 30 nm. Nous avons obtenu des fenêtres de lecture jusqu'à x100 ainsi que des tensions d'opérations autour de 2V et des courants de reset de l'ordre du mA.

Dans un second temps, nous avons adapté le procédé *nanodamascène* à la fabrication de RRAM nanométriques et planaires. Nous parlons de dispositif nanométrique car grâce aux étapes d'électro lithographie et gravures successives nous obtenons des surfaces de jonctions de 100 à 200 nm de large et de 30 à 60 nm de profondeur. Nous parlons de dispositif planaire car nous l'enterrons dans l'oxyde du substrat par un procédé de CMP approprié. La figure 3 ci-dessous montre un dispositif fabriqué et caractérisé avec succès au sein du laboratoire.



*A gauche : AFM d'un dispositif Ti/HfO<sub>2</sub>(10nm)/TiN/Ti après étape de planarisation par CMP..  
A droite : caractéristique I-V du même dispositif, démontrant un comportement de mémoire résistive.*

Dans un dernier temps, nous débutons actuellement une collaboration industrielle avec **STMicroelectronics**. La 1<sup>ère</sup> étape de cette collaboration passe par l'approvisionnement de substrats MOS contenant des transistors adaptés à nos besoins de complianse en courants-tensions. L'objectif est de fabriquer et **interconnecter** nos dispositifs CRS et RRAM nanométriques planaires au-dessus de l'étage des transistors MOS pour pouvoir imposer un contrôle en courant lors des caractérisations électriques .

**Financement :**

FRQNT – Équipe, 120k\$, 2013-2016

STMicroelectronics, Bourse CIFRE, 2015-2017