

Intégration de composant nanoélectronique 3D

Mots-clefs : Transistor monoélectronique, Transistor à jonction tunnel, Intégration sur CMOS

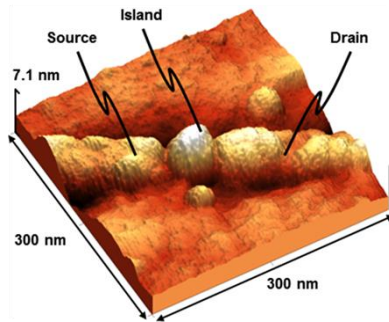


Image AFM d'un transistor monoélectronique en Ti/TiO₂

Porteurs du projet: Dominique Drouin (LN2), Serge Ecoffey (LN2), Michel Pioro-Ladrière (UdeS), Abdelkader Souifi (LN2), Céline Chevalier (LN2)

Étudiants impliqués : Bruno Lee Sang, Gabriel Droulers, Benattou Sadani (LN2/INL), Mouawad Merhej (LN2/LTM), Nicolas Juvet (LN2/INL), Mouhamed Amine Bounouar (LN2/INL), Patrick Harvey Collard, Amer El Hajj Djab, Frédéric Bourque.

Partenaires industriels: ST Microelectronics, IBM

Autres partenaires académiques : INL

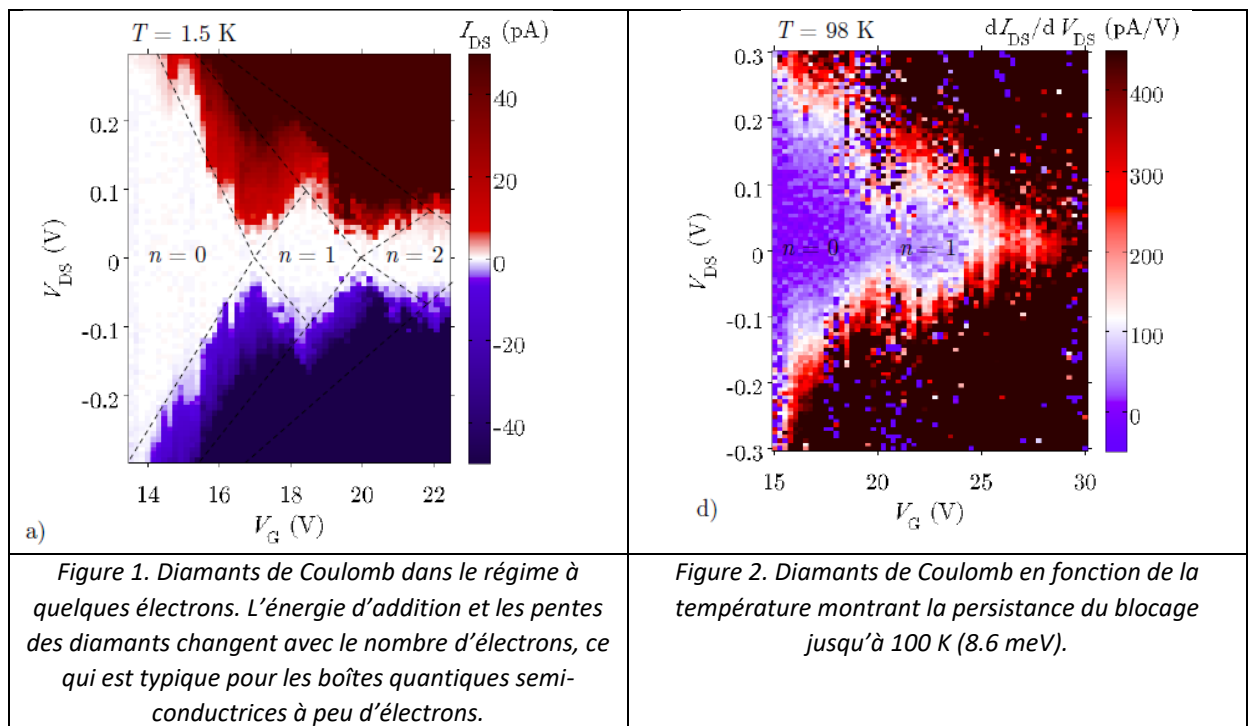
Période du projet : 2012-01-01 à en cours



Description du projet et contexte: Les nouveaux concepts de dispositifs monoélectroniques qui sont par nature des composants à très faible énergie dissipée, sont tout à fait adaptés pour la conception de circuits hybrides qui combinerait les performances des puces CMOS en termes de rapidité pour les fonctions logiques et les performances des dispositifs monoélectroniques. L'objectif général de nos recherches consiste donc à proposer et réaliser des dispositifs nanoélectroniques ultra-basses consommation avec des procédés intégrables en 3D sur des puces CMOS. Les nouvelles fonctionnalités étudiées concernent aussi bien des circuits logiques à base de transistors à un électron, que des circuits mémoires, des automates quantiques cellulaires ou encore des capteurs ultra-sensibles. La majorité des projets développés s'appuient sur l'intégration à basse température (<400°C) de dispositifs nanoélectroniques métalliques afin de rester compatible avec les procédés industriels des puces CMOS. Le choix des matériaux métalliques et isolants doit alors être envisagé en fonction des propriétés mécaniques et thermiques en plus des propriétés électroniques afin de respecter les étapes de packaging.

Transistors SET en silicium

Le procédé nanodamascène a été modifié afin de remplacer l'îlot métallique par du Silicium. Nous avons d'abord développé un procédé de dépôt et formation de nanocristaux de silicium qui servira d'îlot du transistor. Ce procédé a nécessité le développement d'une étape de dépôt de silicium en phase amorphe par une technique de dépôt en phase vapeur à basse pression (LPCVD). Les conditions du système (525°C, 300 mTorr) ont permis d'obtenir un dépôt très conforme et amorphe. L'étape de cristallisation a été réalisée par un recuit thermique recuit rapide (800°C, 3 min) après la formation de la tranchée de Si amorphe qui servira d'îlot. Cette approche favorise la formation d'un seul grain dans l'îlot étant donné que la taille moyenne des grains est plus large que la taille de l'îlot final. Le reste du procédé est similaire au SET métallique. Les figures 1 et 2 présentent les résultats de la caractérisation électrique réalisée à basse température.



Sur ces mesures, on peut observer les états de charges de l'îlot de 0 à 2 électrons délimité par des traits pointillés. Ces mesures permettent d'extraire les énergies de chargement de l'îlot pour ces trois états ($n=0$, 1240 meV ; $n=1$; 95 meV ; $n=2$ 58 meV).

Transistors à effet tunnel en poly-Silicium

Ce travail a permis de démontrer la fabrication d'un transistor tunnel à effet de champ utilisant un canal basé sur un nanocristal de silicium. Le mode de fonctionnement de ce dispositif est similaire à un TFET dans lequel une région intrinsèque est séparée par deux jonctions tunnel. Les jonctions tunnel sont formées par du dioxyde de silicium mince et le canal par du silicium polycristallin intrinsèque. L'absence de dopant élimine le besoin de créer des jonctions abruptes dans les jonctions ce qui représente un défi important pour la fabrication à grande échelle et de plus permet en principe une réduction à l'échelle nanométrique. La réalisation des dispositifs a été possible grâce au procédé nanodamascène qui permet la formation et le contrôle en épaisseur des doubles jonctions tunnel. La figure 1 présente un schéma ainsi que des images lors d'étapes intermédiaires du procédé de fabrication.

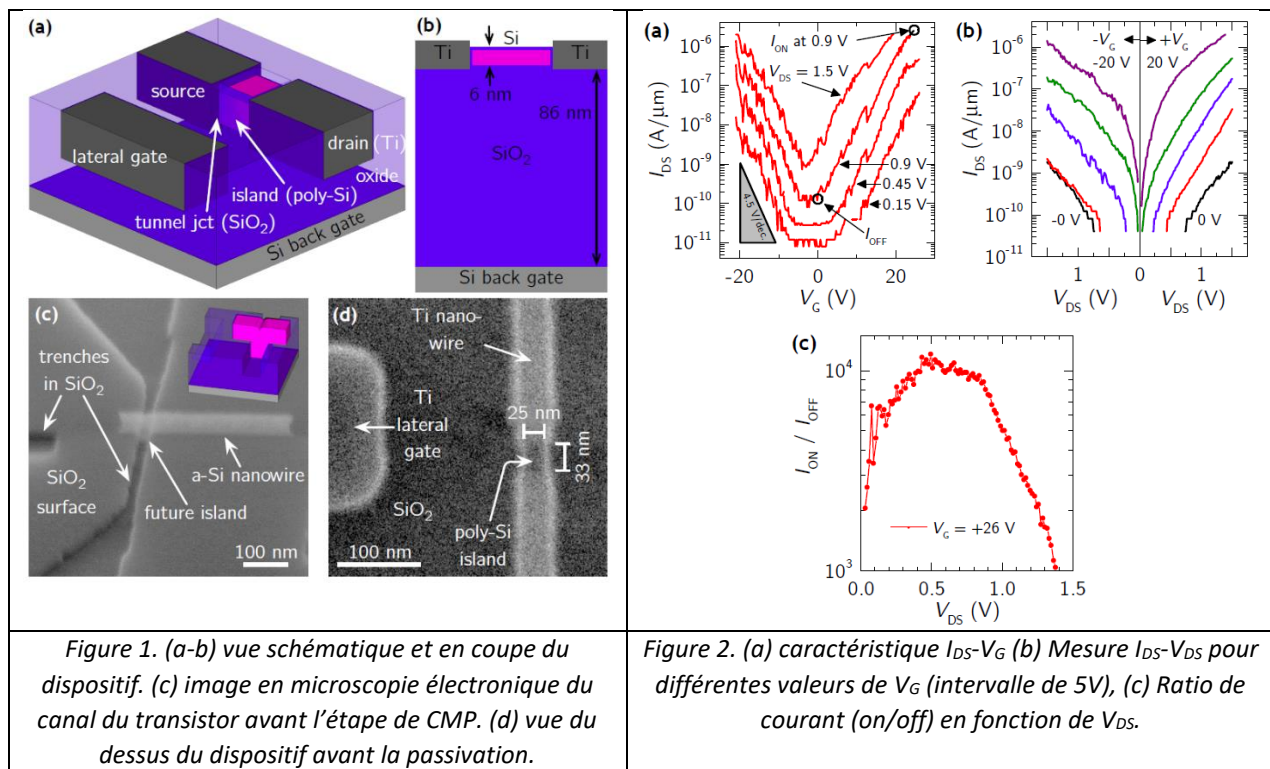


Figure 1. (a-b) vue schématique et en coupe du dispositif. (c) image en microscopie électronique du canal du transistor avant l'étape de CMP. (d) vue du dessus du dispositif avant la passivation.

Figure 2. (a) caractéristique $I_{DS}-V_G$ (b) Mesure $I_{DS}-V_{DS}$ pour différentes valeurs de V_G (intervalle de 5V), (c) Ratio de courant (on/off) en fonction de V_{DS} .

La figure 2 présente quelques résultats électriques des dispositifs fabriqués. En résumé, le TFET à nanocristaux réalisés démontre un ratio de courant on/off de 10^4 , un faible courant de fuite de 30 pA/ μm à 0.5V de polarisation, un courant d'opération comparable aux TFET en silicium typiques et une opération ambipolaire.

1. R. Parekh, A. Beaumont, J. Beauvais and D. Drouin, "Simulation and Design Methodology for Hybrid SET-CMOS Integrated Logic at 22-nm Room-Temperature Operation," Electron Devices, IEEE Transactions on, vol. PP, pp. 1-6, 02/03, 2012
2. N. Juvet, M. A. Bounouar, S. Ecoffey, C. Nauenheim, A. Beaumont, S. Monfray, A. Ruediger, F. Calmon, A. Souifi and D. Drouin, "Recent developments on 3D integration of metallic set onto CMOS process for memory application," International Journal of Nanoscience, vol. 11, August 2012, 2012
3. Harvey-Collard P, Drouin D, Piro-Ladriere M, "A silicon nanocrystal tunnel field effect transistor", Applied Physics Letters 104 (19), 193505, 2014
4. P. Harvey-Collard, A. Jaouad, D. Drouin, M. Piro-Ladrière, "Inductively coupled plasma etching of amorphous silicon nanostructures over nanotopography using C4F8/SF6 chemistry", Microelectronic Engineering, Microelectronic Engineering, 110, 408-413, 2013

Financement :

- CRSNG Stratégique-ANR international SEDIMOS, 1.2M\$, 2010-2013
- Nano Québec, IBM, 310k\$, 2012-2014
- CRSNG Découverte, 300k\$, 2012-2015