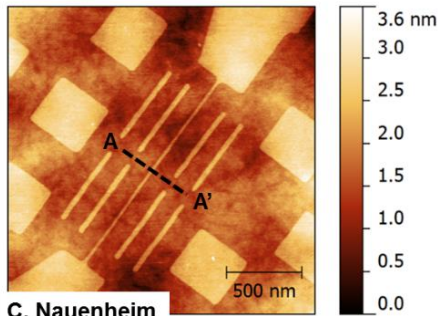


## Développements de procédés CMP innovants

**Mots-clefs :** Nanodamascène, CMP, Dispositifs nanoélectroniques



C. Nauenheim

Image AFM d'un nanofil de Ti réalisé par le procédé nanodamascène

**Porteurs du projet:** Serge Ecoffey

**Étudiant impliqué :** Gabriel Droulers, Bruno Lee Sang, Khalil El Hajjam (LN2/INL), Marc Guilmain

**Partenaire industriel:** STMicroelectronics, Teledyne Dalsa

**Autres partenaires académiques :** Dominique Drouin, Francis Calmon

**Période du projet :** 2012 – en cours



### Description du projet et contexte:

Nos procédés de planarisation ont été développés sur une machine Alpsitec E460 qui est une machine de polissage mécano-chimique (CMP) conçue pour la R&D. Elle est équipée d'un portoir unique qui permet de travailler avec de petits échantillons dont la taille peut varier de moins de 1 cm<sup>2</sup> à la dizaine de cm<sup>2</sup>. À ce jour, le procédé a été adapté pour la fabrication de dispositifs nanoélectroniques comme des SETs, des capacités MIM planaires, des mémoires RRAM, des transistors de type TFETs, ou des mémoires à nanocristaux d'Indium. Ceci implique l'utilisation d'une plus grande variété de matériaux et donc la maîtrise des procédés CMP pour chaque matériau, combinaison de matériaux, architectures de dispositifs, et "layout" de circuits. Voici un résumé des capacités acquises: métaux (Ti, TiN, Cu, Ni, Pt, Cr, W, Al, Nb); isolants (SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, TiO<sub>2</sub>, HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, HSQ); et semi-conducteurs (Si, polySi, GaAs, Ge, GaN). En parallèle nous avons également travaillé sur des procédés de planarisation et polissage de Cu pour la réalisation de vias et TSVs (through silicon vias) pour l'intégration 3D, et des procédés d'amincissement de verre, Si, et saphir, ainsi que sur un procédé de polissage de diamant. Ces projets ne sont pas détaillés ici.

### Résultats remarquables et publications associées:

#### Procédé de planarisation

Nous avons développé des procédés de planarisation de micro- et nano-structures métalliques avec des dimensions variant de 2 µm à 10 nm pour des épaisseurs contrôlées à l'échelle nanométrique. Le procédé de base a été développé pour des transistors monoélectroniques (SETs) Ti/TiO<sub>2</sub> dans une matrice SiO<sub>2</sub> comme illustré sur l'image ci-contre. Grâce à son faible budget thermique, ce procédé a ensuite été transféré dans le back-end-of-line de circuits CMOS avancés.

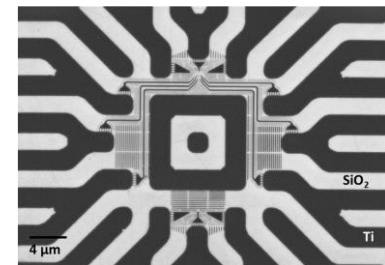
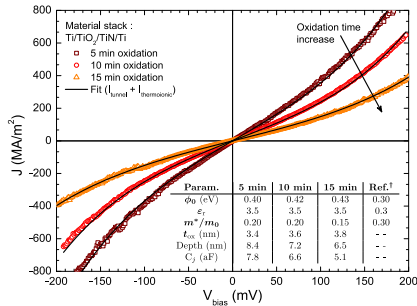


Image SEM de dispositifs SETs nanométriques avec électrodes de contact micrométriques.

#### Procédés de gravures de tranchées nanométriques

Les premiers dispositifs nanoélectroniques comme les SETs cités ci-dessus ont été réalisés dans une matrice SiO<sub>2</sub>. Le Si<sub>3</sub>N<sub>4</sub> est un autre matériau microélectronique isolant qui est très intéressant en planarisation car il est souvent utilisé comme couche d'arrêt. Pour réaliser des dispositifs intégrés dans une matrice de Si<sub>3</sub>N<sub>4</sub> il a d'abord été nécessaire de développer des procédés de gravure de nano-tranchées de très faible profondeur. Nous avons mis au point un procédé de gravure nous permettant d'obtenir des tranchées d'une profondeur de 10 nm de façon très reproductible, mais qui permet aussi de graver des tranchées de 5 nm. Nous avons pu décroître la vitesse de gravure de ce procédé à base de C<sub>4</sub>F<sub>8</sub> jusqu'à 6 nm/min.

## Jonctions tunnels



Caractéristique tension/courant d'une jonction MIM nanométrique.

Le développement d'un dispositif nanoélectronique comme le transistor à un électron dépend fortement du contrôle des dimensions du dispositif et des propriétés électriques des jonctions tunnel. En effet, les jonctions tunnel doivent : (i) assurer un niveau de courant tunnel important; (ii) conduire un courant thermoionique faible car il constitue le courant OFF du dispositif; et (iii) avoir une capacité très faible pour pouvoir observer le blocage de coulomb à température ambiante.

Pour pouvoir réaliser cette jonction tunnel, deux directions différentes sont explorées. La première consiste à améliorer et maîtriser le procédé de fabrication nano-damascène basé sur la CMP et ce pour pouvoir produire des jonctions nanométriques ayant des dimensions précises. La figure ci-contre montre la variation du courant mesuré par rapport au temps d'oxydation plasma. Ceci montre donc le contrôle nanométrique du procédé de fabrication [3]. La deuxième direction consiste à travailler sur la jonction tunnel même, en améliorant les matériaux de cette jonction ou en concevant une jonction optimisée composée de plusieurs couches permettant de subvenir à nos besoins en termes de propriétés électriques [4].

- M. Guilmain, et al., "A Damascene Platform for Controlled Ultra-thin Nanowire Fabrication," *Nanotechnology*, vol. 24, pp. 245305 (8 pp.), 06/21, 2013.
- B. Lee Sang et al., "Inductively coupled plasma etching of ultra-shallow Si<sub>3</sub>N<sub>4</sub> nanostructures using SF<sub>6</sub>/C<sub>4</sub>F<sub>8</sub> chemistry", *Microelectronic Engineering* 141, pp. 68-71, 2015.
- G. Droulers, et al., "Damascene Planar Metal-Insulator-Metal Tunnel Junctions", 14th International Conference on Nanotechnology, IEEE NANO 2014, Toronto, Canada, August 18-21, 2014.
- K. El Hajjam, et al., "Highly transparent low capacitance plasma enhanced atomic layer deposition Al<sub>2</sub>O<sub>3</sub>-HfO<sub>2</sub> tunnel junction engineering", *Journal of Vacuum Science & Technology A*, Vol. 32, pp. 01A132-1, 2014.

**Financement** : Financé à même les projets Intégration de composant nanoélectronique 3D, Fabrication de mémoire résistive complémentaire sur circuit CMOS et Développement de capteur de gaz embarqué sur CMOS